

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

CHONG KI KWON, ET AL.

Application No.:

Filed:

For: **Variable Gain Amplifier**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2002-0078446	10 December 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman, Reg. No. 30,139

Dated: 12/18/03

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0078446  
Application Number

출원년월일 : 2002년 12월 10일  
Date of Application DEC 10, 2002

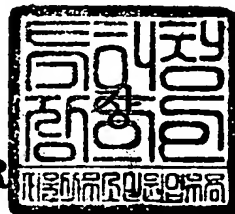
출원인 : 한국전자통신연구원  
Applicant(s) Electronics and Telecommunications Research Institute



2003      년    06      월    02      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.12.10
【발명의 명칭】	가변 이득 증폭기
【발명의 영문명칭】	Variable gain amplifier
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	2001-032061-5
【발명자】	
【성명의 국문표기】	권종기
【성명의 영문표기】	KWON, Chong Ki
【주민등록번호】	570715-1691814
【우편번호】	302-761
【주소】	대전광역시 서구 내동 롯데아파트 101-706
【국적】	KR
【발명자】	
【성명의 국문표기】	조규형
【성명의 영문표기】	CHO, Gyu Hyung
【주민등록번호】	530419-1010414
【우편번호】	302-772
【주소】	대전광역시 서구 둔산동 크로바아파트 117-201
【국적】	KR
【발명자】	
【성명의 국문표기】	박문양
【성명의 영문표기】	PARK, Mun Yang
【주민등록번호】	580918-1674616

【우편번호】	305-503
【주소】	대전광역시 유성구 송강동 200-4 한마을아파트 109동 105호
【국적】	KR
【발명자】	
【성명의 국문표기】	김종대
【성명의 영문표기】	KIM, Jong Dae
【주민등록번호】	540809-1110127
【우편번호】	302-724
【주소】	대전광역시 서구 관저동 대자연마을아파트 108-2105
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	426,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	213,000 원
【기술이전】	
【기술양도】	희망
【실시권 허여】	희망
【기술지도】	희망
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 CMOS 가변 이득 증폭기(variable gain amplifier)에 관한 것으로, 본 발명에 따른 가변 이득 증폭기는 제 1 및 제 2 입력 전압을 차동 입력하기 위한 제 1 수단과, 조절 전압에 따라 트랜스컨덕턴스의 크기를 조절하여 다양한 출력 전류를 발생하기 위한 제 2 수단과, 상기 조절 전압 및 바이어스 전압을 차동 입력하여 미리 형태의 전류를 발생하고, 상기 미리 전류를 이용하여 상기 제 2 수단에 안정적인 전류를 공급하기 위한 제 3 수단과, 상기 제 2 수단에 의해 발생된 출력 전류에 따라 가변 이득을 갖는 출력 전압을 발생하기 위한 제 4 수단을 포함하여 이루어져, 안정된 전류 바이어스 공급에 의한 저전압 및 고속 동작 범위에서 저왜곡, 고선형성의 이득을 조절하는 기능을 제 공하며, 조절 전압에 의해서 넓은 범위에서 전압 이득을 조절할 수 있는 가변 이득 증폭기가 제시된다.

**【대표도】**

도 1

**【색인어】**

CMOS 가변 이득 증폭기, 전류 바이어스

## 【명세서】

## 【발명의 명칭】

가변 이득 증폭기{Variable gain amplifier}

## 【도면의 간단한 설명】

도 1은 본 발명의 일 실시 예에 따른 안정된 전류 바이어스 공급에 의한 CMOS 가변 이득 증폭기의 회로도.

도 2는 본 발명의 다른 실시 예에 따른 능동 부하를 가지는 안정된 전류 바이어스 공급에 의한 CMOS 가변 이득 증폭기의 회로도.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<3> 본 발명은 CMOS 가변 이득 증폭기(Variable Gain Amplifier; VGA)에 관한 것으로, 특히 안정된 전류 바이어스 공급에 의한 저전압 및 고속 동작 범위에서 저왜곡(low distortion), 고선형성(high linearity)의 이득을 조절하는 기능을 제공하며, 조절 전압(control voltage) 신호에 의해서 넓은 범위에서 전압 이득을 조절할 수 있는 가변 이득 증폭기에 관한 것이다.

<4> CMOS 가변 이득 증폭기를 설계할 때 반드시 고려해야만 하는 사항은 원하는 신호 크기에 대한 신호 대비 잡음지수(Signal-to-Noise; SNR)의 극대화, 주파수 대역폭(bandwidth)의 크기, 저왜곡, 원하는 선형성(linearity)을 보장하는 입력 신호의 크기, 잡음 특성, 조절 전압(control voltage) 및 이득 조절 범위(gain control range) 등이

있다. 또한, 회로에 대한 온도나 전원 전압의 의존성을 배제할 수가 없다. 특히 CMOS 회로는 동작 주파수 범위가 현재의 소자기술 특성상 100MHz 이상을 가지기 쉽지 않다. 그리고, MOS 소자의 문턱 전압(threshold) 크기 축소의 제한성 때문에 입출력 신호 크기가 제한되어 낮은 공급 전원에 대한 원활한 회로 동작을 기대하기 어렵다.

<5> 따라서, 저소비 전력의 특성을 가지며 저전압에서 동작하는 CMOS 가변 이득 증폭기를 집적회로(Integrated Circuit)로 구현하기 어렵다.

#### 【발명이 이루고자 하는 기술적 과제】

<6> 본 발명의 목적은 낮은 공급 전압에서 조절 전압에 의해서 넓은 범위를 가지는 입력 신호에 대한 가변 이득 증폭 기능을 제공하며 안정된 전류 바이어스에 의한 광대역 동작 특성을 갖는 CMOS 가변 이득 증폭기를 제공하는데 있다.

<7> 본 발명의 다른 목적은 IC로 내장할 수 있는 전력 소모가 적은 집적회로 내장형 CMOS 가변 이득 증폭기를 제공하는데 있다.

#### 【발명의 구성 및 작용】

<8> 본 발명에 따른 가변 이득 증폭기는 제 1 및 제 2 입력 전압을 차동 입력하기 위한 제 1 수단과, 조절 전압에 따라 트랜스컨덕턴스의 크기를 조절하여 다양한 출력 전류를 발생하기 위한 제 2 수단과, 상기 조절 전압 및 바이어스 전압을 차동 입력하여 미리 형태의 전류를 발생하고, 상기 미리 전류를 이용하여 상기 제 2 수단에 안정적인 전류를 공급하기 위한 제 3 수단과, 상기 제 2 수단에 의해 발생된 출력 전류에 따라 가변 이득을 갖는 출력 전압을 발생하기 위한 제 4 수단을 포함하여 이루어진 것을 특징으로 한다.



- <9> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써 본 발명을 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며, 이 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한, 도면상에서 동일 부호는 동일 요소를 지칭한다.
- <10> 도 1은 본 발명의 일 실시 예에 따른 안정된 전류 바이어스(current bias) 공급에 의한 저왜곡(low distortion), 고선형성(high linearity) 저전압 및 고속 CMOS 가변 이득 증폭기의 회로도로서, 그 구성을 설명하면 다음과 같다.
- <11> 전원 단자(Vdd)와 제 1 노드(Q101) 사이에 제 1 저항(R101)과 제 1 NMOS 트랜지스터(N101)가 직렬 접속되고, 전원 단자(Vdd)와 제 2 노드(Q102) 사이에 제 2 저항(R102)과 제 2 NMOS 트랜지스터(N102)가 직렬 접속되는데, 제 1 및 제 2 NMOS 트랜지스터(N101 및 N102)는 조절 전압(Vc)에 따라 트랜스컨덕턴스가 조절되어 가변적인 출력 전류를 발생시킨다. 제 1 및 제 2 NMOS 트랜지스터(N101 및 N102)에 의해 발생한 출력 전류는 제 1 저항(R101)과 제 2 저항(R102)에 의해 출력 전압이 되어 제 1 출력 단자(Vo-)와 제 2 출력 단자(Vo+)를 통해 출력된다. 제 1 노드(Q101)와 제 3 노드(Q103) 사이에 접속되어 제 1 입력 전압(Vi+)에 따라 구동되는 제 3 NMOS 트랜지스터(N103)와 제 2 노드(Q102)와 제 3 노드(Q103) 사이에 접속되어 제 2 입력 전압(Vi-)에 따라 구동되는 제 4 NMOS 트랜지스터(N104)는 차동 입력 형태로 구성된다. 제 3 노드(Q103)와 접지 단자(Vss) 사이에 제 5 노드(Q105)의 전위에 따라 구동되는 제 5 및 제 6 NMOS 트랜지스터(N105 및 N106)가 병렬로 접속된다. 제 1 노드(Q101)와 접지 단자(Vss) 사이에 접속된 제 7 NMOS 트랜지스터(N107)와 제 2 노드(Q102)와 접지 단자(Vss) 사이에 접속된 제 8 NMOS



트랜지스터(N108)는 제 6 노드(Q106)의 전위에 따라 구동된다. 전원 단자(Vdd)와 제 4 노드(Q104) 사이에 전류원(Is)이 접속된다. 제 4 노드(Q104)와 제 5 노드(Q105) 사이에 접속되어 바이어스 전압(Vb)에 따라 구동되는 제 1 PMOS 트랜지스터(P101)와 제 4 노드(Q104)와 제 6 노드(Q106) 사이에 접속되어 조절 전압(Vc)에 따라 구동되는 제 2 PMOS 트랜지스터(P102)는 차동 형태로 구성된다. 제 5 노드(Q105)와 접지 단자(Vss) 사이에 접속되어 제 5 노드(Q105)의 전위에 따라 구동되는 제 9 NMOS 트랜지스터(N109)와 제 6 노드(Q106)와 접지 단자(Vss) 사이에 접속되어 제 6 노드(Q106)의 전위에 따라 구동되는 제 10 NMOS 트랜지스터(N110)는 전류 미러 형태로 구성된다.

<12>       상기와 같이 구성되는 본 발명에 따른 가변 이득 증폭기의 구동 방법을 설명하면 다음과 같다.

<13>       외부로부터 일정 바이어스 전압(Vb)과 조절 전압(Vc)이 서로 상보적으로 인가 될 때 전류원(Is)으로부터의 전류는 제 1 및 제 2 PMOS 트랜지스터(P101 및 P102)를 통해 전류 미러 형태로 입력단을 구성하고 있는 제 5 및 제 6 노드(Q105 및 Q106)에 공급된다. 제 5 및 제 6 노드(Q105 및 Q106)로 공급된 전류에 의해 제 5, 제 6 및 제 9 NMOS 트랜지스터(N105, N106 및 N109)와 제 7, 제 8 및 제 10

NMOS 트랜지스터(N107, N108 및 N110)가 각각 구동된다. 한편, 제 1 및 제 2 NMOS 트랜지스터(N101 및 N102)의 트랜스컨덕턴스(transconductance)의 크기는 조절 전압( $V_c$ )에 의해 조절된다. 따라서, 제 3 및 제 4 NMOS 트랜지스터(N103 및 N104)를 차동 구동시키는 제 1 입력 전압( $V_{i+}$ )과 제 2 입력 전압( $V_{i-}$ )에 의해 제 1 및 제 2 NMOS 트랜지스터(N101 및 N102)의 출력 전류가 발생되고, 이 출력 전류는 제 1 및 제 2 저항(R101 및 R102)에 의해 출력 전압이 되어 제 1 및 제 2 출력 전압( $V_{o-}$  및  $V_{o+}$ )로서 출력된다. 여기서, 제 1 및 제 3 NMOS 트랜지스터(N101 및 N103) 또는 제 2 및 제 4 NMOS 트랜지스터(N101 및 N103)는 각각 캐스코드(cascode) 형태의 접속을 유지하여 제 1 및 제 2 출력 단자( $V_{o-}$  및  $V_{o+}$ )에서 큰 출력 임피던스 (impedance)를 갖게 되고, 이로 인해 전압 이득을 크게 한다. 또 조절 전압( $V_c$ )의 크기에 따라 제 1 및 제 3 NMOS 트랜지스터(N101 및 N103)는 항상 포화영역(saturation region)에서 동작하는 반면 제 1 입력 전압( $V_{i+}$ )과 제 2 입력 전압( $V_{i-}$ )이 인가되는 제 3 및 제 4 NMOS 트랜지스터(N103 및 N104)는 선형적 동작영역(linear region) 또는 포화영역에서 동작한다. 즉, 조절 전압( $V_c$ )의 크기가 작으면 제 1 및 제 3 NMOS 트랜지스터(N101 및 N103), 제 3 및 제 4 NMOS 트랜지스터(N103 및 N104) 모두 포화영역에서 동작한다. 조절 전압( $V_c$ )의 크기가 크면 제 1 및 제 3 NMOS 트랜지스터(N101 및 N103)는 포화영역에서 동작하게 되고, 제 3 및 제 4 NMOS 트랜지스터(N103 및 N104)는 선형영역에서 동작하게 된다. 따라서, 본 발명의 CMOS 가변이득 회로는 작은 차동 입력 전압[ $(V_{i+})-(V_{i-})$ ]이 인가될 때 조절 신호( $V_c$ )를 크게 하는 조절 신호 모드를 갖게 하여 캐스코드 접속을 가지

는 두 트랜지스터(N101 및 N103 또는 N102 및 N104)가 모두 포화영역에서 동작하게 하고, 작은 차동 입력 전압 $[(V_{i+})-(V_{i-})]$ 이 인가될 때 조절 신호( $V_c$ )를 작게 하는 조절 신호 모드를 갖게 하여 차동 입력 신호가 인가되는 두 트랜지스터(N103 및 N104)들만 선형영역에서 동작하게 함으로써 입력 신호의 크기에 관계없이 선형성 극대화를 할 수 있다.

<14> 그런데, 조절 전압( $V_c$ )이 바이어스 전압( $V_b$ )보다 작으면 전류 바이어스 공급 경로에 따라 제 6 노드(Q106)에 전류가 공급되고, 이에 의해 제 10 NMOS 트랜지스터(N110), 제 7 및 제 8 NMOS 트랜지스터(N107 및 N108)가 구동된다. 따라서, 정상 동작을 하지 않고 제 1 및 제 2 입력 전압( $V_{i+}$  및  $V_{i-}$ )과 전압 이득에 무관하게 일정한 바이어스를 유지하게 되어 제 1 출력 단자( $V_{o-}$ )와 제 2 출력 단자( $V_{o+}$ )가 항상 안정화된다. 반면, 조절 전압( $V_c$ )이 바이어스 전압( $V_b$ )보다 크면 전류 바이어스 공급 경로에 따라 제 5 노드(Q105)에 전류가 공급되고, 이에 의해 제 9 NMOS 트랜지스터(N109), 제 5 및 제 6 NMOS 트랜지스터(N105 및 N106)가 구동된다. 따라서, 전압 이득은 정상 동작을 하여 가변 이득을 얻을 수 있게 된다. 여기서, 바이어스 전압( $V_b$ )은 가변 이득 범위에서 최소 이득을 가질 때의 조절 전압( $V_c$ )의 크기와 같다. 또한, 크기가 같은 제 5 및 제 6 NMOS 트랜지스터(N105 및 N106) 또는 제 7 및 제 8 NMOS 트랜지스터(N107 및 N108)에 의해 일정하고 안정된 전류 바이어스가 유지됨으로써 양호한 선형성과 주파수 특성을 가지게 한다.

<15> 도 2는 본 발명의 다른 실시 예에 따른 저항 대신에 능동 부하를 출력 부하로 구성하여 주파수 특성을 개선할 수 있는 가변 이득 증폭기의 회로도로서, 그 구성을 설명하면 다음과 같다.

<16> 전원 단자(Vdd)와 제 1 노드(Q201) 사이에 제 1 능동 부하(21) 및 제 1 NMOS 트랜지스터(N201)가 직렬 접속되고, 전원 단자(Vdd)와 제 2 노드(Q202) 사이에 제 2 능동 부하(22) 및 제 2 NMOS 트랜지스터(N202)가 직렬 접속되는데, 제 1 및 제 2 NMOS 트랜지스터(N201 및 N202)는 조절 전압( $V_c$ )에 따라 트랜스컨덕턴스가 조절되어 출력 전류를 발생시킨다. 여기서, 제 1 능동 부하(21)는 전원 단자(Vdd)와 제 7 노드(Q207) 사이에 접속되어 제 8 노드(Q208)의 전위에 따라 구동되는 제 3 PMOS 트랜지스터(P203), 전원 단자(Vdd)와 제 8 노드(Q208) 사이에 접속되어 제 7 노드(Q207)의 전위에 따라 구동되는 제 11 NMOS 트랜지스터(N211), 제 8 노드(Q208)와 접지 단자(Vss) 사이에 병렬 접속된 제 2 전류원( $I_{s2}$ )과 제 1 캐패시터(C201)로 구성된다. 그리고, 제 2 능동 부하(22)는 전원 단자(Vdd)와 제 9 노드(Q209) 사이에 접속되어 제 10 노드(Q211)의 전위에 따라 구동되는 제 4 PMOS 트랜지스터(P204), 전원 단자(Vdd)와 제 10 노드(Q210) 사이에 접속되어 제 9 노드(Q209)의 전위에 따라 구동되는 제 12 NMOS 트랜지스터(N212), 제 10 노드(Q210)와 접지 단자(Vss) 사이에 병렬 접속된 제 3 전류원( $I_{s3}$ )과 제 2 캐패시터(C202)로 구성된다. 한편, 제 1 및 제 2 NMOS 트랜지스터(N201 및 N202)에 의해 발생된 출력 전류는 제 1 및 제 2 능동 부하(21 및 22)에 의해 출력 전압이 되어 제 1 출력 단자( $V_{o-}$ )와 제 2 출력 단자( $V_{o+}$ )를 통해 출력된다. 제 1 노드(Q201)와 제 3 노드(Q203) 사이에 접속되어 제 1 입력 전압( $V_{i+}$ )에 따라 구동되는 제 3 NMOS 트랜지스터(N203)와 제 2 노드(Q202)와 제 3 노드(Q203) 사이에 접속되어 제 2 입력 전압( $V_{i-}$ )에 따라 구동되는 제 4 NMOS 트랜지스터(N204)는 차동 입력 형태로 구성된다. 제 3 노드(Q203)와 접지 단자(Vss) 사이에 제 5 노드(Q205)의 전위에 따라 구동되는 제 5 및 제 6 NMOS 트랜지스터(N205 및 N206)가 병렬로 접속된다. 제 1 노드(Q201)와 접지 단자(Vss) 사이에 접속된 제 7 NMOS 트랜



지스터(N207)와 제 2 노드(Q202)와 접지 단자(Vss) 사이에 접속된 제 8 NMOS 트랜지스터(N208)는 제 6 노드(Q206)의 전위에 따라 구동된다. 전원 단자(Vdd)와 제 4 노드(Q204) 사이에 제 1 전류원(Is1)이 접속된다. 제 4 노드(Q204)와 제 5 노드(Q205) 사이에 접속되어 바이어스 전압(Vb)에 따라 구동되는 제 1 PMOS 트랜지스터(P201)와 제 4 노드(Q204)와 제 6 노드(Q206) 사이에 접속되어 조절 전압(Vc)에 따라 구동되는 제 2 PMOS 트랜지스터(P202)는 차동 형태로 구성된다. 제 5 노드(Q205)와 접지 단자(Vss) 사이에 접속되어 제 5 노드(Q205)의 전위에 따라 구동되는 제 9 NMOS 트랜지스터(N209)와 제 6 노드(Q206)와 접지 단자(Vss) 사이에 접속되어 제 6 노드(Q206)의 전위에 따라 구동되는 제 10 NMOS 트랜지스터(N210)는 전류 미러 형태로 구성된다.

<17>      상기와 같이 구성되는 본 발명의 다른 실시 예에 따른 가변 이득 증폭기는 도 1을 이용하여 설명된 것과 마찬가지로 동작한다. 다만, 출력 전압을 구현하기 위한 저항 대신에 능동 부하를 구성함으로써 안정된 바이어스를 공급하고 주파수 특성 개선을 하여 저항으로 구성된 부하보다 광대역(wideband)에서 동작시킬 수가 있게 된다. 주파수 보상 캐패시턴스(frequency compensation capacitance)(C201 및 C202)의 사용에 의해 높은 주파수 영역에서 동작시킬 수가 있는 장점이 있다. 상기 회로의 주파수 특성은 능동 부하의 제 3 및 제 4 PMOS 트랜지스터(P203 및 P204)의 드레인단에서의 기생 캐패시턴스에 의해 좌우되므로 구성 소자의 크기를 최적화하면 양호한 주파수 특성을 얻을 수 있다.

<18>      따라서, 본 발명에 따른 CMOS 가변 이득 증폭기는 안정된 전류 바이어스 공급에 의한 저왜곡(low distortion) 및 고대역(high frequency bandwidth)의 특성을 가질 수 있게 하는 것과 MOS 집적 회로로 내장 할 수 있다는 장점이 있다.

**【발명의 효과】**

<19> 상술한 바와 같이 본 발명에 의하면 안정된 전류 바이어스 공급에 의한 저왜곡 및 고대역의 특성을 가지고 고속으로 동작하는 가변 이득 증폭기를 집적 회로내에 내장할 수 있으며, 간단히 구성할 수 있어 면적을 최소화할 수 있고, 낮은 전원 공급 영역 또는 필요에 따라 신호 모드 설정이 가능한 기능을 가지고 있다.

**【특허청구범위】****【청구항 1】**

제 1 및 제 2 입력 전압을 차동 입력하기 위한 제 1 수단;

조절 전압에 따라 트랜스컨덕턴스의 크기를 조절하여 다양한 출력 전류를 발생하기 위한 제 2 수단;

상기 조절 전압 및 바이어스 전압을 차동 입력하여 미러 형태의 전류를 발생하고, 상기 미러 전류를 이용하여 상기 제 2 수단에 안정적인 전류를 공급하기 위한 제 3 수단; 및

상기 제 2 수단에 의해 발생된 출력 전류에 따라 가변 이득을 갖는 출력 전압을 발생하기 위한 제 4 수단을 포함하여 이루어진 것을 특징으로 하는 가변 이득 증폭기.

**【청구항 2】**

제 1 항에 있어서, 상기 제 1 수단은 상기 제 1 입력 전압에 따라 구동되는 제 1 NMOS 트랜지스터; 및

상기 제 2 입력 전압에 따라 구동되는 제 2 NMOS 트랜지스터로 이루어지되, 상기 제 1 및 제 2 NMOS 트랜지스터의 소오스 단자가 상호 접속된 것을 특징으로 하는 가변 이득 증폭기.

**【청구항 3】**

제 1 항에 있어서, 상기 제 2 수단은 상기 제 1 수단 및 상기 제 4 수단 사이에 접속되어 상기 조절 전압에 따라 트랜스컨덕턴스의 크기가 각각 조절되는 제 1 및 제 2 NMOS 트랜지스터로 이루어진 것을 특징으로 하는 가변 이득 증폭기.

**【청구항 4】**

제 1 항에 있어서, 상기 제 3 수단은 소정 전류를 공급하기 위한 전류원;

상기 바이어스 전압에 따라 구동되어 상기 전류원으로부터의 전류를 공급하기 위한 제 1 PMOS 트랜지스터;

상기 조절 전압에 따라 구동되어 상기 전류원으로부터의 전류를 공급하기 위한 제 2 PMOS 트랜지스터;

상기 제 2 수단과 접지 단자 사이에 각각 접속되어 상기 제 1 PMOS 트랜지스터를 통해 공급된 전류에 의해 구동되는 제 1 및 제 2 NMOS 트랜지스터; 및

상기 제 1 수단과 접지 단자 사이에 병렬 접속되어 상기 제 2 PMOS 트랜지스터를 통해 공급된 전류에 의해 구동되는 제 3 및 제 4 NMOS 트랜지스터로 이루어진 것을 특징으로 하는 가변 이득 증폭기.

**【청구항 5】**

제 1 항에 있어서, 상기 제 4 수단은 저항인 것을 특징으로 하는 가변 이득 증폭기.

**【청구항 6】**

제 1 항에 있어서, 상기 제 4 수단은 전원 단자와 출력 단자 사이에 접속되어 제 1 노드의 전위에 따라 구동되는 PMOS 트랜지스터;

상기 출력 단자와 제 1 노드 사이에 접속되어 상기 출력 단자의 전위에 따라 구동되는 NMOS 트랜지스터; 및



상기 제 1 노드와 접지 단자 사이에 접속되며 각각 병렬 접속된 캐패시터 및 전류원으로 이루어진 것을 특징으로 하는 가변 이득 증폭기.

【청구항 7】

제 1 및 제 2 입력 전압에 따라 각각 구동되며 하나의 단자가 공통 접속된 제 1 및 제 2 NMOS 트랜지스터;

상기 제 1 및 제 2 NMOS 트랜지스터와 각각 접속되며 조절 전압에 따라 트랜스컨덕턴스의 크기가 조절되어 다양한 출력 전류를 발생하기 위한 제 3 및 제 4 NMOS 트랜지스터;

상기 제 3 및 제 4 NMOS 트랜지스터를 통해 출력된 전류에 따라 가변 이득을 갖는 출력 전압을 발생하기 위한 제 1 및 제 2 부하;

소정의 전류를 공급하기 위한 전류원;

바이어스 전압에 따라 구동되어 상기 전류원으로부터의 전류를 공급하기 위한 제 1 PMOS 트랜지스터;

상기 조절 전압에 따라 구동되어 상기 전류원으로부터의 전류를 공급하기 위한 제 2 PMOS 트랜지스터;

상기 제 1 및 제 3 NMOS 트랜지스터의 접속점과 접지 단자 사이, 상기 제 2 및 제 4 NMOS 트랜지스터의 접속점과 상기 접지 단자 사이에 각각 접속되어 상기 제 1 PMOS 트랜지스터를 통해 공급된 전류에 의해 구동되는 제 5 및 제 6 NMOS 트랜지스터; 및

상기 제 1 및 제 2 NMOS 트랜지스터의 접속점과 상기 접지 단자 사이에 병렬 접속되어 상기 제 2 PMOS 트랜지스터를 통해 공급된 전류에 의해 구동되는 제 7 및 제 8 NMOS 트랜지스터로 이루어진 것을 특징으로 하는 가변 이득 증폭기.

【청구항 8】

제 7 항에 있어서, 상기 제 1 및 제 2 부하는 각각 저항인 것을 특징으로 하는 가변 이득 증폭기.

【청구항 9】

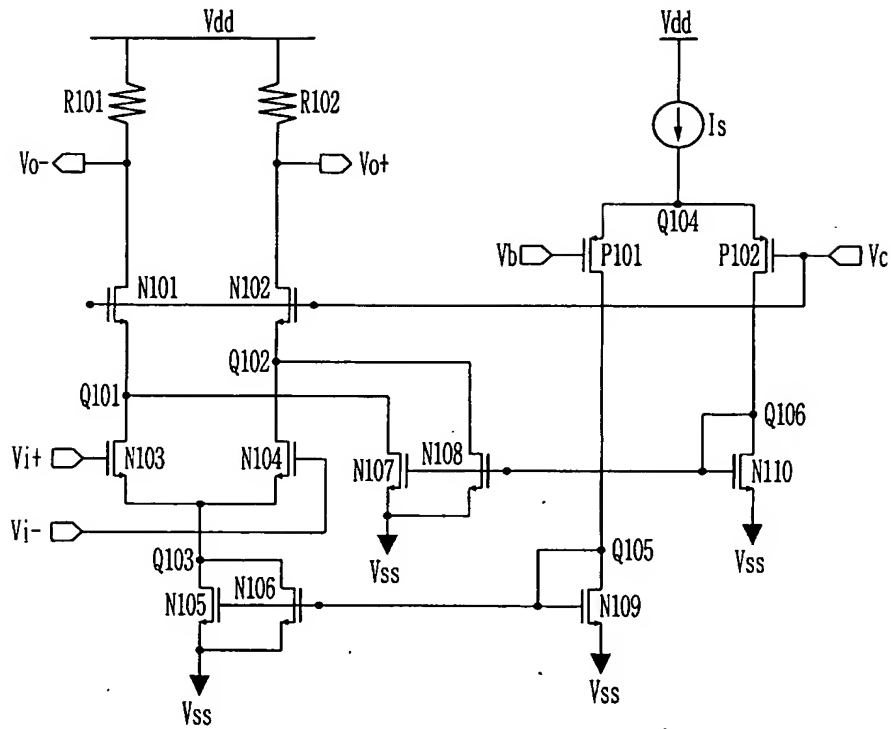
제 7 항에 있어서, 상기 제 1 및 제 2 부하 각각은 전원 단자와 출력 단자 사이에 접속되어 제 1 노드의 전위에 따라 구동되는 PMOS 트랜지스터;

상기 출력 단자와 제 1 노드 사이에 접속되어 상기 출력 단자의 전위에 따라 구동되는 NMOS 트랜지스터; 및

상기 제 1 노드와 접지 단자 사이에 접속되며 각각 병렬 접속된 캐패시터 및 전류원으로 이루어진 것을 특징으로 하는 가변 이득 증폭기.

【도면】

【도 1】



【도 2】

